

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

JC555 U.S. PTO  
09/551400

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

1999年 4月22日

出願番号  
Application Number:

平成11年特許願第115062号

出願人  
Applicant (s):

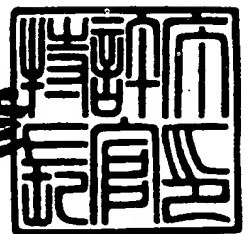
日本電気株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年 2月18日

特許庁長官  
Commissioner,  
Patent Office

近藤隆彦



出証番号 出証特2000-300764

【書類名】 特許願

【整理番号】 33509501

【提出日】 平成11年 4月22日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 H04L 7/00

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 土門 渉

【特許出願人】

    【識別番号】 000004237

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100062476

    【住所又は居所】 東京都港区赤坂一丁目 3 番 1 9 号 芳明ビル

    【弁理士】

    【氏名又は名称】 原田 信市

    【電話番号】 03-3560-7055

【手数料の表示】

    【予納台帳番号】 011637

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9303566

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ネットワーク同期システム及びネットワーク同期方法

【特許請求の範囲】

【請求項 1】

IEEE 1394 規格のノードの機能を有し、かつ IEEE 1394 規格に準拠したバスが 1 つ接続されるポータルを複数有するブリッジにより複数のバスがツリー状に接続されたネットワークにおいて、

該ネットワーク全体の基準クロック源であり、かつ IEEE 1394 規格で規定されるサイクルマスタであるネットワーク・クロック基準ノードとしてポータルが一つ設定され、該ネットワーク・クロック基準ノードのサイクル周波数に自らのサイクル周波数を同期させる手段を有し、かつ該サイクルマスタであるローカル・クロック基準ノードとして、バスに接続される中で該ネットワーク・クロック基準ノードまでのノードのホップ数が最も少ないポータルが、該ネットワーク・クロック基準ノードが接続されていないバスでは各々設定されることを特徴とするネットワーク同期システム。

【請求項 2】

IEEE 1394 規格のノードの機能を有し、かつ IEEE 1394 規格に準拠したバスが 1 つ接続されるポータルを複数有するブリッジにより複数のバスがツリー状に接続されたネットワークにおいて、

該ネットワーク全体の基準クロック源であり、かつ IEEE 1394 規格で規定されるサイクルマスタであるネットワーク・クロック基準ノードを決定する第 1 の手順と、

前記ネットワーク・クロック基準ノードのサイクル周波数に自らのサイクル周波数を同期させるサイクルマスタであるローカル・クロック基準ノードを決定する第 2 の手順と、

前記ネットワーク・クロック基準ノードと前記ローカル・クロック基準ノードとが、自らと同じバスに接続される他のポータル全てを非基準ノードに設定する第 3 の手順と、

前記ネットワーク・クロック基準ノードと該非基準ノードとが、自らと同じブ

リッジの他のポータル全てを前記ローカル・クロック基準ノードに設定する第4の手順と、

を有することを特徴とするネットワーク同期方法。

【請求項3】

前記第1の手順が、前記ネットワークの管理者により手動で設定されることを特徴とする、請求項2に記載のネットワーク同期方法。

【請求項4】

前記ネットワーク・クロック基準ノードと前記非基準ノードは、自らと同じブリッジの他のローカル・クロック基準ノード全てに対して同期信号を送信し、該ローカル・クロック基準ノードは、受信された該同期信号を用いて自らのサイクル周波数を前記ネットワーク・クロック基準ノードのサイクル周波数に同期させることを特徴とする、請求項2または請求項3のいずれかに記載のネットワーク同期方法。

【請求項5】

前記同期信号は、それを送信するノードのCYCLE\_TIMEレジスタの32ビット幅の信号であることを特徴とする、請求項4に記載のネットワーク同期方法。

【請求項6】

前記同期信号は、それを送信するノードのCYCLE\_TIMEレジスタの下位25ビット幅の信号であることを特徴とする、請求項4に記載のネットワーク同期方法。

【請求項7】

前記同期信号は、それを送信するノードのCYCLE\_TIMEレジスタの下位12ビット幅の信号であることを特徴とする、請求項4に記載のネットワーク同期方法。

【請求項8】

前記ローカル・クロック基準ノードは、自らのCYCLE\_TIMEレジスタの前記同期信号と同じビット幅の部分と前記同期信号の値との差が一定となるように、自らのCYCLE\_TIMEレジスタのcycle\_offsetフィー

ルドに一定数を増減させる制御を周期的に行うことを特徴とする、請求項5から請求項7のいずれかに記載のネットワーク同期方法。

【請求項9】

前記同期信号は、それを送信するノードのCYCLE\_TIMEレジスタのcycle\_offsetフィールドの値が予め定められた値となるタイミングで発生するパルス信号であることを特徴とする、請求項4に記載のネットワーク同期方法。

【請求項10】

前記予め定められた値が1000（10進数）以上3070（10進数）以下の整数のうちのいずれかであることを特徴とする、請求項9に記載のネットワーク同期方法。

【請求項11】

前記ローカル・クロック基準ノードは、24.576メガヘルツのクロック源でカウントアップし、値が3071（10進数）になったら0に戻り、さらに前記パルス信号を受信したときには予め定められた値にセットされるカウンタを備え、該カウンタの値と自らのCYCLE\_TIMEレジスタのcycle\_offsetフィールドの値との差が等しくなるように、該cycle\_offsetフィールドに一定数を増減させる制御を周期的に行うことを特徴とする、請求項9または請求項10に記載のネットワーク同期方法。

【請求項12】

前記制御が行われる周期は、前記ローカル・クロック基準ノードが有する24.576メガヘルツのクロック源の3072（10進数）クロック分の時間と等しいことを特徴とする、請求項8または請求項11に記載のネットワーク同期方法。

【請求項13】

前記ローカル基準ノードは、前記パルス信号を受信された時の自らのCYCLE\_TIMEレジスタのcycle\_offsetフィールドの値が予め定められた値と等しくなるように該cycle\_offsetフィールドに一定数を増減させる制御を前記パルス信号を受信される度に行うことを特徴とする、請求項

9 または請求項 10 に記載のネットワーク同期方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、IEEE 1394 規格のバスを用いた通信ネットワークにおいて、ネットワークの同期を確立するネットワーク同期システム及びネットワーク同期方法に関する。

【0002】

【従来の技術】

高性能シリアルバス規格である IEEE 1394 規格（以下、1394 と記す）では、パケットの転送帯域を保証するアイソクロナス転送モードが規定されている。これは、公称 8 kHz のサイクル周波数を持つサイクルという概念と、このサイクルごとにパケット転送できる時間を予め獲得する手順とを導入することにより実現されている。

【0003】

サイクルを管理するために 1394 で規定されている具体的方法を図 1 を用いて説明する。サイクルの開始は、バスに同報されるサイクルスタートパケットを検出することにより認識される。サイクルスタートパケットは、バスに一つ設定される、サイクルマスタと呼ばれるノードにより送信される。サイクルマスタは、時刻を格納する CYCLE\_TIME レジスタを実装しており、この CYCLE\_TIME レジスタを用いてサイクルスタートパケットを送信する周期を一定に保つ。

【0004】

1394 に規定されている CYCLE\_TIME レジスタのフォーマットを図 2 に示す。CYCLE\_TIME レジスタは、32 ビットのレジスタであり、上位 7 ビットが second\_count フィールド、続く 13 ビットが cycle\_count フィールド、最下位 12 ビットが cycle\_offset フィールドとそれぞれ呼ばれる。cycle\_offset フィールドは、公称 24.576 メガヘルツのクロックでカウントアップされるカウンタであり、307

1 (10進数)までカウントされたら0に戻る。すなわち、サイクルの周期である125マイクロ秒毎に値が0に戻るカウンタである。続くcycle\_\_countフィールドは、cycle\_\_offsetが0に戻るタイミングで値が一つカウントアップされるカウンタであり、サイクルの数をカウントする。このフィールドは、値が7999 (10進数)までカウントされたら0に戻る。すなわち、1秒毎に値が0に戻るカウンタである。最上位にあるsecond\_\_countフィールドは、cycle\_\_countが0に戻るタイミングで一つカウントアップされるカウンタであり、秒をカウントする。このフィールドは、値が127 (10進数)までカウントされたら0に戻る。

#### 【0005】

サイクルマスタは、CYCLE\_\_TIMEレジスタのcycle\_\_countフィールドがインクリメントされるタイミングでサイクルスタートパケットの送信を試みる。バス上に転送中のパケットがなければサイクルスタートパケットを直ちに送信し、バス上に転送中のパケットがある場合は、そのパケットの転送が完了されてからサイクルスタートパケットを送信する。このような制御を行うことにより、サイクルの周期をほぼ一定に保つ。このサイクルスタートパケットには、サイクルスタートパケットをバス上に送信する時のCYCLE\_\_TIMEレジスタの値が格納されている。サイクルマスタではないノードは、このサイクルスタートパケットを受信して、自分のCYCLE\_\_TIMEレジスタの値をサイクルスタートパケットに格納されていた値で上書きする。こうすることにより、バスに接続される全てのノードのCYCLE\_\_TIMEレジスタの値がサイクルマスタのCYCLE\_\_TIMEレジスタの値に同期される。

#### 【0006】

サイクルスタートパケットが転送されたら、予め帯域を獲得したノードがアイソクロナスパケットの送信を開始する。パケットの転送は、アイソクロナスギャップというデータ転送の無い期間が検出されてからバスの調停を行い、パケット送信権を獲得したノードから順に行われる。帯域を獲得していた全てのアイソクロナスパケットの転送が終了すると、サブアクションギャップという長時間のギャップが検出されてから次のサイクルの開始を示すサイクルスタートパケットが

検出されるまでの間は、アシンクロナスパケットというベストエフォート型パケットの転送期間となる。

【0007】

なお、バスの初期化手順において、最も大きい値の `physical ID` が割り当てられたノードがサイクルマスタとなる。

【0008】

一方、複数の 1394 バスを相互に接続し、異なるバス間でのパケット転送を行う IEEE 1394 ブリッジ（以下、ブリッジと記す）が検討されている。このブリッジを用いることにより、1394 規格を用いたネットワークの大規模化や高効率化を図ることが出来る。ブリッジは、IEEE の P1394.1 委員会で標準化作業が行われている。

【0009】

ブリッジの基本構成を図 3 に示す。ブリッジは、ポータルとスイッチング・ファブリックとから基本的に構成される。ポータルは、ブリッジが 1394 バスと接続される部分であり、ポータル自身もノードとして機能する。またスイッチング・ファブリックは、ブリッジ内部でポータル間のパケット転送を行うためのパケットスイッチである。図 3 では、2 つのポータル（ポータル 20 とポータル 21）と、これらを相互接続するスイッチング・ファブリック 30 を内蔵するブリッジ 10 が示されているが、一つのブリッジに内蔵されるポータルの数は 3 つ以上でもよい。ポータル 20 とポータル 21 は、それぞれ 1394 バス 40 と 1394 バス 41 に接続され、これらのバス間でパケット転送が可能となる。

【0010】

このブリッジを用いて異なるバス間でのアイソクロナスパケット転送を行う場合、パケット転送経路上の全てのバスのサイクルの周期を一致させるためにバスを同期させる必要がある。P1394.1 委員会では、このバス間の同期を確立する方法として、`go-slow` コマンドと `go-fast` コマンドとを用いる方法を検討している。この方法の詳細はまだ決定されていないが、概念的には以下に示される方法である。

【0011】



既存の 1394 規格と同様に、ブリッジを用いて複数のバスからネットワークを構成した場合でも、各バス毎にサイクルマスタが決定され、一つのバスにおけるノード間の同期を司る。既存の 1394 規格では、サイクルマスタの CYCLE\_\_TIME レジスタはフリーランで動作するのに対し、P1394.1 ではサイクルマスタ間で同期を確立することにより、ネットワーク上の全てのノードの同期を確立する。この、サイクルマスタ間で同期を確立するために用いられるのが `go-slow` コマンドと `go-fast` コマンドである。

#### 【0012】

初めに、ネットワーク全体の時刻の基準となるノード（以降、ネットサイクルマスタと記す）が選出される。ネットサイクルマスタの持つ基準時刻情報は、何らかの方法でネットワーク上の全てのバスに分配される。各バスのポータルは、ネットサイクルマスタの時刻情報と自分が接続されるバスのサイクルマスタ（以降、ローカルサイクルマスタと記す）の時刻情報とを比較する。比較の結果、ローカルサイクルマスタの時刻を遅らせるべきと判断された場合には、ポータルはローカルサイクルマスタに `go-slow` コマンドを送信し、ローカルローカルサイクルマスタの時刻を進めるべきと判断された場合には、ポータルはローカルサイクルマスタに `go-fast` コマンドを送信する。ポータルが送信したこれらのコマンドを受信したローカルサイクルマスタは、そのコマンドに従って自分の CYCLE\_\_TIME レジスタの値を制御する。具体的には、`go-fast` コマンドを受信したら `cycle__offset` フィールドの値に 1 を加え、`go-slow` コマンドを受信したら 1 を減ずる。この方法により、各バスのサイクルの周期を等しく保つことが可能となる。

#### 【0013】

なお、これらのコマンドは各サイクル毎に（125 マイクロ秒おきに）遅延無く転送される必要があるため、アイソクロナスモードを用いてコマンド転送が行われる。

#### 【0014】

##### 【発明が解決しようとする課題】

上述した従来のネットワーク同期方法では、その方法を実装していない既存の

1394 機器がバスに接続され、かつサイクルマスタに選択された場合にはバス間で同期を確立することが出来ない。従って、従来のネットワーク同期方法では、ブリッジを用いて構成した 1394 ネットワークに既存の 1394 機器を接続できないという問題があった。さらに、同期確立のためにアイソクロナス転送の資源を消費してしまうという問題もあった。

【0015】

本発明は、既存の 1394 機器を接続することが可能で、かつ同期確立のための制御信号をバス上に送出することのないネットワーク同期システム及びネットワーク同期方法を提供するものである。

【0016】

【課題を解決するための手段】

本発明によるネットワーク同期システムは、IEEE 1394 規格のノードの機能を有し、かつ IEEE 1394 規格に準拠したバスが 1 つ接続されるポータルを複数有するブリッジにより複数のバスがツリー状に接続されたネットワークにおいて、該ネットワーク全体の基準クロック源であり、かつ IEEE 1394 規格で規定されるサイクルマスタであるネットワーク・クロック基準ノードとしてポータルが一つ設定され、該ネットワーク・クロック基準ノードのサイクル周波数に自らのサイクル周波数を同期させる手段を有し、かつ該サイクルマスタであるローカル・クロック基準ノードとして、バスに接続される中で該ネットワーク・クロック基準ノードまでのノードのホップ数が最も少ないポータルが、該ネットワーク・クロック基準ノードが接続されていないバスでは各々設定されることを特徴とする。

【0017】

本発明による第 1 のネットワーク同期方法は、IEEE 1394 規格のノードの機能を有し、かつ IEEE 1394 規格に準拠したバスが 1 つ接続されるポータルを複数有するブリッジにより複数のバスがツリー状に接続されたネットワークにおいて、該ネットワーク全体の基準クロック源であり、かつ IEEE 1394 規格で規定されるサイクルマスタであるネットワーク・クロック基準ノードを決定する第 1 の手順と、前記ネットワーク・クロック基準ノードのサイクル周波

数に自らのサイクル周波数を同期させるサイクルマスタであるローカル・クロック基準ノードを決定する第2の手順と、前記ネットワーク・クロック基準ノードと前記ローカル・クロック基準ノードとが、自らと同じバスに接続される他のポータル全てを非基準ノードに設定する第3の手順と、前記ネットワーク・クロック基準ノードと該非基準ノードとが、自らと同じブリッジの他のポータル全てを前記ローカル・クロック基準ノードに設定する第4の手順と、を有することを特徴とする。

## 【0018】

本発明による第2のネットワーク同期方法は、本発明による第1のネットワーク同期方法において、前記第1の手順が、前記ネットワークの管理者により手動で設定されることを特徴とする。

## 【0019】

本発明による第3のネットワーク同期方法は、本発明による第1または第2のネットワーク同期方法のいずれかにおいて、前記ネットワーク・クロック基準ノードと前記非基準ノードは、自らと同じブリッジの他のローカル・クロック基準ノード全てに対して同期信号を送信し、該ローカル・クロック基準ノードは、受信された該同期信号を用いて自らのサイクル周波数を前記ネットワーク・クロック基準ノードのサイクル周波数に同期させることを特徴とする。

## 【0020】

本発明による第4のネットワーク同期方法は、本発明による第3のネットワーク同期方法において、前記同期信号は、それを送信するノードのCYCLE\_\_TIMEレジスタの32ビット幅の信号であることを特徴とする。

## 【0021】

本発明による第5のネットワーク同期方法は、本発明による第3のネットワーク同期方法において、前記同期信号は、それを送信するノードのCYCLE\_\_TIMEレジスタの下位25ビット幅の信号であることを特徴とする。

## 【0022】

本発明による第6のネットワーク同期方法は、本発明による第3のネットワーク同期方法において、前記同期信号は、それを送信するノードのCYCLE\_\_T

IMEレジスタの下位12ビット幅の信号であることを特徴とする。

【0023】

本発明による第7のネットワーク同期方法は、本発明による第4から第6のネットワーク同期方法のいずれかにおいて、前記ローカル・クロック基準ノードは、自らのCYCLE\_TIMEレジスタの前記同期信号と同じビット幅の部分と前記同期信号の値との差が一定となるように、自らのCYCLE\_TIMEレジスタのcycle\_offsetフィールドに一定数を増減させる制御を周期的に行うことを特徴とする。

【0024】

本発明による第8のネットワーク同期方法は、本発明による第3のネットワーク同期方法において、前記同期信号は、それを送信するノードのCYCLE\_TIMEレジスタのcycle\_offsetフィールドの値が予め定められた値となるタイミングで発生するパルス信号であることを特徴とする。

【0025】

本発明による第9のネットワーク同期方法は、本発明による第8のネットワーク同期方法において、前記予め定められた値が1000（10進数）以上3070（10進数）以下の整数のうちのいずれかであることを特徴とする。

【0026】

本発明による第10のネットワーク同期方法は、本発明による第8または第9のネットワーク同期方法において、前記ローカル・クロック基準ノードは、24.576メガヘルツのクロック源でカウントアップし、値が3071（10進数）になったら0に戻り、さらに前記パルス信号を受信したときには予め定められた値にセットされるカウンタを備え、該カウンタの値と自らのCYCLE\_TIMEレジスタのcycle\_offsetフィールドの値との差が等しくなるように、該cycle\_offsetフィールドに一定数を増減させる制御を周期的に行うことを特徴とする。

【0027】

本発明による第11のネットワーク同期方法は、本発明による第7または第10のネットワーク同期方法において、前記制御が行われる周期は、前記ローカル

・クロック基準ノードが有する 24.576メガヘルツのクロック源の 3072 (10進数)クロック分の時間と等しいことを特徴とする。

#### 【0028】

本発明による第12のネットワーク同期方法は、本発明による第8または第9のネットワーク同期方法において、前記ローカル基準ノードは、前記パルス信号が受信された時の自らのCYCLE\_\_TIMEレジスタのcycle\_\_offsetフィールドの値が予め定められた値と等しくなるように該cycle\_\_offsetフィールドに一定数を増減させる制御を前記パルス信号が受信される度に行うことを特徴とする。

#### 【0029】

#### 【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しながら詳細に説明する。

#### 【0030】

図4は、本発明によるネットワーク同期方法の実施の形態を示す図である。本図では、5つの1394バス40～44が、4つのブリッジ10～13によりツリー状に接続されて一つのネットワークを構成している。なお、本図では、円がブリッジを表し、その円の一つの半円が1つのポータルを表している。すなわち、各ブリッジ10～13はポータルを2つずつ有する。各ポータルには、便宜上A～Hと名前を付けている。

#### 【0031】

本実施の形態では、ブリッジ10のポータルBがネットサイクルマスタに設定され、このネットサイクルマスタは、ネットワーク全体の基準クロック源であると同時に、自らが接続されるバス40におけるサイクルマスタとして機能する。この状態において、ネットサイクルマスタが接続されていない各バスでは、ネットサイクルマスタまでのホップ数が最も小さいポータルがローカルサイクルマスタに設定される。ローカルサイクルマスタは、ネットサイクルマスタのサイクル周波数に自分のサイクル周波数を同期させる機能を有し、かつ自分が接続されたバスにおいてはサイクルマスタとして機能する。このローカルサイクルマスタの定義に従い、例えばバス41では、バスに接続される3つのポータルのうち、ネ

ットサイクルマスタであるポータルBとの間のホップ数が最も小さいポータルAがローカルサイクルマスタに設定される。同様にバス42～44においては、ポータルD、ポータルF、ポータルHがそれぞれローカルサイクルマスタに設定される。

#### 【0032】

ローカルサイクルマスタは、同一ブリッジ内のもう一つのポータル（以降、隣接ポータルと記す）のサイクル周波数に自分のサイクル周波数を同期させる。例えば、ポータルAは、隣接ポータルがネットサイクルマスタのポータルBであるため、後述する方法により、自分のサイクル周波数をポータルBのそれに同期させることが出来る。一方、ポータルDの隣接ポータルはポータルCである。このポータルCはポータルBと同じバス40に接続されているため、ポータルBが送信するサイクルスタートパケットにより、そのサイクル周波数はポータルBに同期している。

#### 【0033】

従って、ポータルDは、隣接ポータルであるポータルCのサイクル周波数に自分のそれを同期させることにより、間接的にポータルBのサイクル周波数に同期させることが可能である。ポータルFおよびポータルHも、ポータルDと同様に自分の隣接ポータルのサイクル周波数に自分のそれを同期させることにより、間接的にポータルBのサイクル周波数に同期させることが出来る。

#### 【0034】

このようにして、全てのローカルサイクルマスタのサイクル周波数がネットサイクルマスタ（本例の場合、ポータルB）のそれに同期すれば、他のノードはサイクルスタートパケットで同期させることが出来るため、ネットワーク全体の同期が確立する。

#### 【0035】

以上の方法でローカルサイクルマスタを各バスに配置すれば、バス上に既存の1394機器が接続されても、全てのバスをネットサイクルマスタのクロックに同期させることが可能である。さらに、同期のための制御はブリッジ装置内のポータル間で全て行われるため、同期のための制御信号をバス上に転送する必要が

ない。

#### 【0036】

図5は、本実施の形態における、ネットワーク同期のためのポータルの役割決定手順を示すフローチャートである。なお、この図では、ネットサイクルマスタをNCM、ローカルサイクルマスタをLCM、サイクルマスタをCMと、それぞれ省略して表している。また、ネットサイクルマスタにもローカルサイクルマスタにも設定されないポータルを従属ポータルと表している。

#### 【0037】

本実施の形態では、ネットサイクルマスタはネットワークの管理者により手動で設定される方法を適用した。すなわち、各ブリッジ装置にはネットサイクルマスタの設定スイッチが備えてあり、管理者がそのスイッチを設定する。複数のブリッジ装置を用いてネットワークを構築する場合には、一つのブリッジ装置のみネットサイクルマスタとして動作するように設定され、残りの全てのブリッジ装置はネットサイクルマスタとして動作しないように設定される。

#### 【0038】

以下、図5の手順について説明する。1394規格に定められるバスの初期化手順（ツリーIDプロセス並びにセルフIDプロセス）が完了したら、ポータルは、自分がネットサイクルマスタに設定されているかどうかをチェックし、NCMである場合は後述するNCM手順を行う。同様に、LCMあるいは従属ポータルに設定されているのかもチェックして、設定されている場合は、後述するLCM手順・従属ポータル手順をそれぞれ行う。どれにも設定されていないポータルは、いずれかに設定されるまで待ち、設定完了後にその手順を行う。

#### 【0039】

NCM手順について説明する。NCMに設定されたポータルは、初めに自分がバス上でサイクルマスタに設定されているかどうかをチェックする。これは、自分のSTATE\_CLEARレジスタの上位から24ビット目にあるcmstrビットをチェックすることにより行われ、このビットが1であればサイクルマスタであり、0であればサイクルマスタではない。自分がサイクルマスタではないことが検出された場合は、自分がサイクルマスタとなるための後述する手順を行

う。自分がサイクルマスタであることが検出された場合は、初めに自分の隣接ポータルをLCMに設定し、続いて自分が接続されているバス上の自分以外の全てのポータルを従属ポータルに設定する手順を行う。

#### 【0040】

前述の、自分がサイクルマスタとなるための手順を説明する。自分がサイクルマスタとなるためには、1394規格に定められるPHY configurationパケットを用いる。PHY configurationパケットのフォーマットを図6に示す。このパケットは64ビット長であり、後半32ビットは前半32ビットを反転させた冗長ビットである。NCMは、Rビットを1にセットし、かつphy\_IDフィールドに自分のphysical\_IDを記述したPHY configurationパケットを送信する。Tビットおよびgap\_cntフィールドは別の目的で使用されるフィールドであるため、ここでは説明しない。送信されたPHY configurationパケットはバス上の全てのノードにより受信される。この時phy\_IDフィールドにより指定されたノードは、次のバス初期化手順において、ルートに設定される。1394規格では、サイクルマスタの能力があるルートがサイクルマスタとして動作するように規定されているため、上記PHY configurationパケットの送信後にバスの初期化手順を強制的に開始させることにより、NCMに設定されたノードをサイクルマスタにすることが可能である。

#### 【0041】

続いて、LCM手順について説明する。LCMも、NCMと同様にサイクルマスタとして動作する必要があるため、自分がサイクルマスタではないことが検出された場合は、前述の手順と同じ手順によりサイクルマスタとなる。サイクルマスタであることが確認されたら、自分が接続されているバス上の自分以外の全てのポータルを従属ポータルに設定する手順を行う。

#### 【0042】

続いて、従属ポータル手順について説明する。従属ポータルが行うべき手順は、隣接ポータルをLCMに設定することのみである。

#### 【0043】



以上の手順をネットワーク上の全てのポータルが独立して行うことにより、全てのポータルがNCMまたはLCM、従属ポータルに設定される、以降、隣接ポータル間でサイクル同期制御を行うことにより、ネットワーク全体の同期が確立する。

#### 【0044】

なお、本実施の形態では、図5に示されるフローチャートの代わりに図7に示されるフローチャートを用いることも可能である。これは、NCMが行うべき手順がLCMの手順と従属ポータルの手順の両方であることと、NCMが行うサイクル同期制御の動作が従属ポータルと同じであることを利用して、冗長な部分を削除したものである。すなわち、NCMに設定されたポータルを従属ポータルとしても設定しておくことにより、NCMに設定されたポータルは、従属ポータルの手順を完了してからLCMの手順を行う。このような手順を行うことにより、役割設定のために実装されるソフトウェアのサイズをより小さくすることが可能である。

#### 【0045】

また、本実施の形態においてはNCMの設定を管理者によるマニュアル設定としたが、ブリッジ間でネゴシエーションを行って、一つのNCMを自動的に選出する手順にこの部分を置き換えることも可能である。

#### 【0046】

図8は、本発明の実施の形態において適用された、ポータル間の第1のサイクル同期制御系のブロック図である。本図は、図4におけるブリッジ12のポータルEとポータルFとの間の同期制御系を示しているが、図4のブリッジ11およびブリッジ13における同期制御系も同様の構成である。さらに、図4のブリッジ10も、ネットサイクルマスタであるポータルBは、図8において従属ポータルであるポータルEと同じ同期制御系を有している。

#### 【0047】

従属ポータルであるポータルEは、物理層LSI71とリンク層LSI61、24.576MHz $\pm$ 100ppmの共振周波数を持つ水晶振動子81を有し、それぞれ図に示されるように接続されている。物理層LSI71からリンク層L

S I 6 1 へは水晶振動子 8 1 の共振周波数の 2 倍の周波数である S C L K 1 3 1 がリンク層のクロック源として供給される。ただし、リンク層 L S I に内蔵され、C Y C L E \_ T I M E レジスタに格納される時刻情報を生成するサイクルタイマ 9 1 は 2 4 . 5 7 6 M H z で動作するため、S C L K 1 3 1 を分周回路 1 2 1 で  $1/2$  の周波数に分周したクロックが、サイクルタイマ 9 1 に入力される。一方、LCM であるポータル F も、物理層 L S I 7 0 および水晶振動子 8 0 と、サイクルタイマ 9 0 および分周回路 1 2 0 を内蔵したリンク層 L S I 6 0 を有し、それぞれポータル E と同様に接続されて動作している。ポータル F のリンク層 L S I 6 0 には、サイクル同期を確立するための減算回路 1 0 0 と比較回路 1 1 0 とが内蔵されている。

#### 【0048】

なお、ポータル E のリンク層 L S I 6 1 にも減算回路および比較回路が内蔵されているが、これらの回路はポータルが LCM に設定されたときのみ有効に動作するため、本図では省略されている。

#### 【0049】

この例では、サイクル同期を確立するための同期信号として、C Y C L E \_ T I M E レジスタの下位 1 2 ビットである c y c l e \_ o f f s e t フィールドの値がそのままポータル 6 0 に送信された。リンク層 L S I 6 0 では、減算回路 1 0 0 においてポータル E の c y c l e \_ o f f s e t の値からポータル F の c y c l e \_ o f f s e t の値の減算が行われ、その計算結果が比較回路 1 1 0 に入力された。比較回路 1 1 0 では、図 9 に示される仕様に従って比較処理を行い、その結果をサイクルタイマ 9 0 に向けて送信した。すなわち、減算結果が正の時は 0 1 (2 ビット)、0 のときは 0 0 (2 ビット)、負の時は 1 0 (2 ビット) という値を出力した。なお、比較回路 1 1 0 にはサイクルタイマ 9 0 からパルス信号を入力する端子が備えられており、この端子にパルスが入力されている時間帯のみ信号を出力する仕様となっている。サイクルタイマ 9 0 は、自身の c y c l e \_ o f f s e t フィールドの値が 0 の時に比較回路 1 1 0 に向けてパルスを送信する仕様となっており、従って 1 2 5 マイクロ秒周期で比較結果を出力する仕様になっている。

## 【0050】

サイクルタイマ90は、比較回路110から01（2ビット）を受信すると、自身のサイクル周波数が遅いと判断してcycle\_offsetの値に1を加える。また、10（2ビット）を受信すると、自身のサイクル周波数が速いと判断してcycle\_offsetの値から1を減ずる。00（2ビット）を受信した場合には何も行わない。以上の制御動作を行うことにより、ポータルFのサイクル周波数がポータルEのそれに同期されることが確認される。

## 【0051】

なお、図9の比較処理仕様では減算回路100の出力値0を比較処理のしきい値としているが、これに変更を加え、両ポータルのcycle\_offsetの値に一定のオフセットを持たせることも可能である。あるいは、図9の比較処理仕様はそのままとし、サイクルタイマ90から比較回路110に入力されるパルス信号の出力タイミング仕様を変更することにより、同様の効果を得ることもできる。

## 【0052】

以上述べた第1のサイクル同期制御系では、CYCLE\_TIMEレジスタのcycle\_offsetフィールドのみを従属ポータルからLCMに送信しているため、両ポータルのCYCLE\_TIMEレジスタのsecond\_countフィールドおよびcycle\_countフィールドの値の差は不定である。これに対する第1の変形例として、これらのフィールドも併せて従属ポータルからLCMに送信する構成をとれば、サイクル周波数の同期を確立すると同時にこれらのフィールドの値の差を制御することも可能である。例えば、CYCLE\_TIMEレジスタの下位25ビットを従属ポータルからLCMに送信し、減算回路でこの25ビット分の差を計算し、その値が予め定められた値となるような制御を加えれば、cycle\_countフィールドまでを制御することが可能である。また、CYCLE\_TIMEレジスタの32ビット分全てを送信すれば、全てのフィールドの値を制御することも可能である。

## 【0053】

さらに、第1のサイクル同期制御系の第2の変形例として、図10に示される

制御系を内蔵したリンク層LSIを用いてもよい。この場合、比較回路110は、サイクルタイマ90からパルス信号を入力したタイミングにおいて、隣接ポータルから入力されたcycle\_offsetの値を用いて比較処理を行う。比較演算の仕様を図11に示す。この構成とした場合、図8の構成と比べて減算回路を用いる必要がない。

#### 【0054】

図12は、本発明による実施の形態における第2のサイクル同期制御系を示す。図8に示される第1のサイクル同期制御系と同じ物理層LSIおよび水晶振動子を用い、サイクル同期制御系を内蔵するリンク層LSIのみを交換した。

#### 【0055】

従属ポータルであるポータルEのリンク層LSI61は、パルス発生回路140を備えている。これは、サイクルタイマ91から出力されるcycle\_offsetフィールドの値が予め定められた値となったタイミングで同期パルス150を出力する機能を備える。cycle\_offsetの値は0から3071までの整数値であるが、同期パルス150を出力するタイミングとしては、cycle\_offsetの値が1000以上3070以下の値の中から選ばれた。これは、この範囲をはずれるcycle\_offsetの値がカウントされないサイクルがあり得るためである。例えば、ポータルEが接続されるバス41のサイクルマスタであるポータルAのクロック周波数がポータルEのそれより高い場合には、ポータルAが送信するサイクルスタート packets に格納されていたCYCLE\_TIMEレジスタの値を上書きすることによって、cycle\_offsetの値が3071とならないサイクルが存在しうる。あるいは、アシンクロナス packets のトラフィックによりサイクルスタート packets の送出タイミングが最大42マイクロ秒程度(cycle\_offset換算で最大1000程度)遅れる可能性があるため、cycle\_offsetが0以上1000以下の値においても、値をとらないサイクルが発生しうる。従って、毎サイクル確実に同期パルスを出力させるために、同期パルス発生タイミングを上述の仕様とした。

#### 【0056】

一方、LCMのリンク層LSI60は、サイクル周波数制御の目的で、3072進カウンタ160が実装された。これは、ポータルEのサイクルタイマのcycle\_offsetの値を擬似的に再現する目的で実装されたカウンタであり、1) 分周回路120から出力される約25MHzのクロックに同期してカウントアップする、2) カウンタの値が3071になったら0に戻る、3) 同期パルス150が入力されると予め定められた値にセットされる、という3つの特徴を有している。この3072進カウンタ160の出力を比較回路110に入力し、サイクルタイマ90からパルス信号を入力したときの比較結果をサイクルタイマ90にフィードバックすることにより、サイクル周波数の同期制御が行われる。

## 【0057】

実際に、1) サイクルタイマ91のcycle\_offsetの値が3070のときにパルス発生回路が同期パルス150を出力する、2) 同期パルス150が入力されると、3072進カウンタ160の値は3070にセットされる、3) サイクルタイマ90は、cycle\_offsetの値が0のときにパルス信号を比較回路110に出力する、4) 比較回路110は、図11に示される仕様の比較演算を行う、という設定により動作を評価したところ、正常なサイクル周波数同期が確認された。さらに、上記1) から4) の設定を適宜変更することにより、両ポータルの持つcycle\_offsetの値の差分が変更可能であることも確認された。

## 【0058】

なお、この第2のサイクル同期制御系では、図13に示される制御系を内蔵したリンク層LSIをポータルFで用いることも可能である。ここでは、サイクルタイマ90から出力されるcycle\_offsetと同期パルス150とを比較回路110に入力する。同期パルス150が比較回路110に入力された時のcycle\_offsetの値と図11に示される比較演算仕様を用いて同期制御が行われた。このように、LCM側制御系に3072進カウンタを用いなくても、同期パルスを用いたサイクル同期制御を行うことが出来る。

## 【0059】

## 【発明の効果】

以上述べたように本発明によれば、既存の 1 3 9 4 機器が接続された環境においても全てのバスが同期したネットワークを構築することが可能である。さらに、同期のための制御信号をバス上に転送する必要がないため、ネットワークの帯域を効率的に利用することが可能である。

【図面の簡単な説明】

【図 1】

IEEE 1 3 9 4 規格で規定されているサイクルの管理方法を説明する図である。

【図 2】

IEEE 1 3 9 4 規格で規定されている CYCLE\_\_TIME レジスタのフォーマットを示す図である。

【図 3】

IEEE 1 3 9 4 ブリッジの基本構成を示す図である。

【図 4】

本発明の実施の形態を示す図である。

【図 5】

本発明の実施の形態における、ネットワーク同期のためのポータルの役割決定手順を表すフローチャートである。

【図 6】

PHY configuration パケットのフォーマットを示す図である。

【図 7】

本発明の実施の形態における、ポータルの役割決定手順の変形例を示すフローチャートである。

【図 8】

本発明の実施の形態において適用された、ポータル間の第 1 のサイクル同期制御系のブロック図である。

【図 9】

図 8 の比較回路 1 1 0 が行う比較処理の仕様を表した図である。

【図 10】

本発明の実施の形態における第 1 のサイクル同期制御系の第 2 の変形例で用いられたリンク層 L S I の構成を示す図である。

【図 11】

図 10 に示される比較演算回路 110 の比較演算仕様を示す図である。

【図 12】

本発明の実施の形態における第 2 のサイクル同期制御系を示す図である。

【図 13】

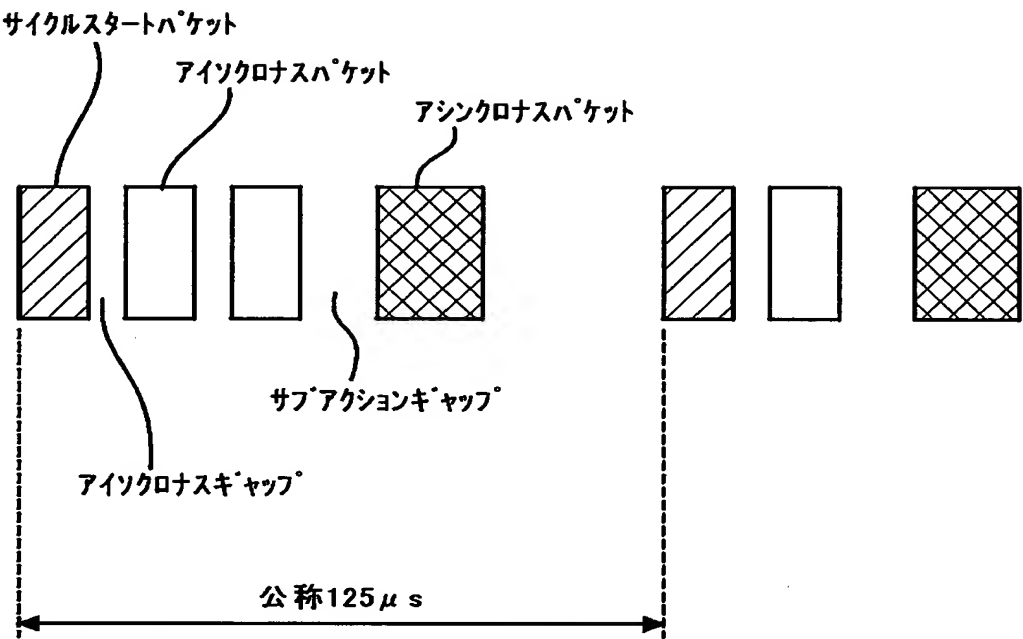
第 2 のサイクル同期制御系の変形例で用いられたリンク層 L S I の構成を示す図である。

【符号の説明】

10、11、12、13：ブリッジ  
 20、21：ポータル  
 30：スイッチング・ファブリック  
 40、41、42、43、44：1394バス  
 50、51：ノード  
 60、61：リンク層 L S I  
 70、71：物理層 L S I  
 80、81：水晶振動子  
 90、91：サイクルタイマ  
 100：減算回路  
 110：比較回路  
 120、121：分周回路  
 130、131：SCLK  
 140：パルス発生回路  
 150：同期パルス  
 160：3072進カウンタ

【書類名】 図面

【図 1】

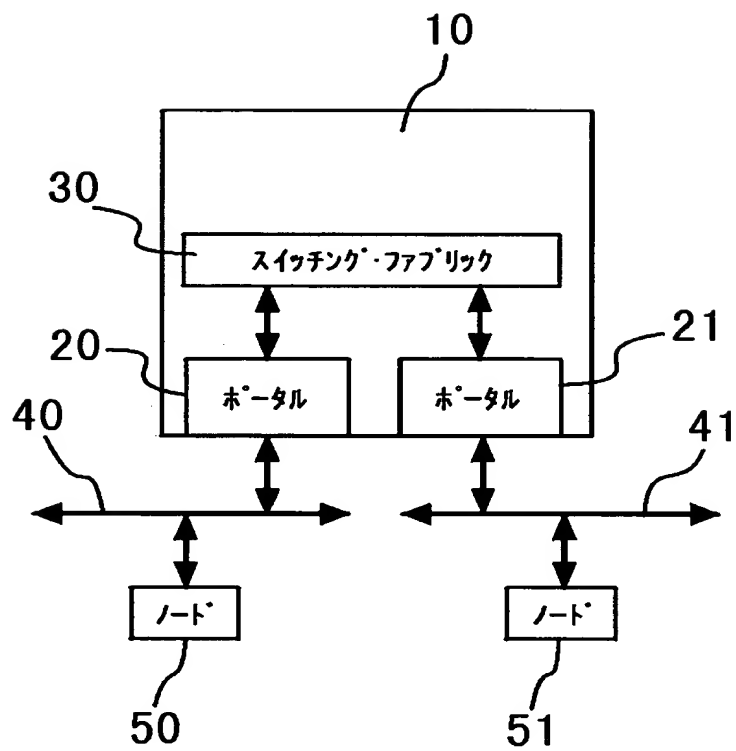


【図 2】

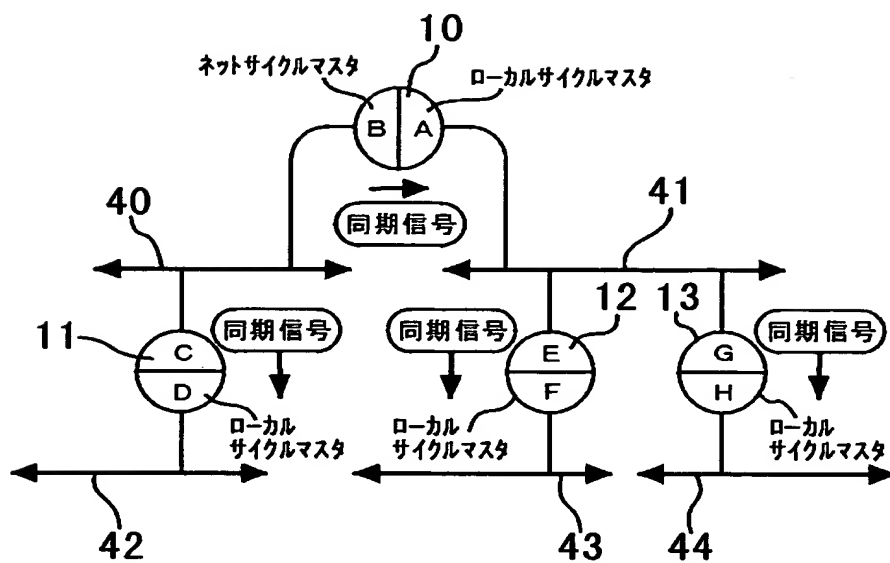
second_count	cycle_count	cycle_offset
7	13	12



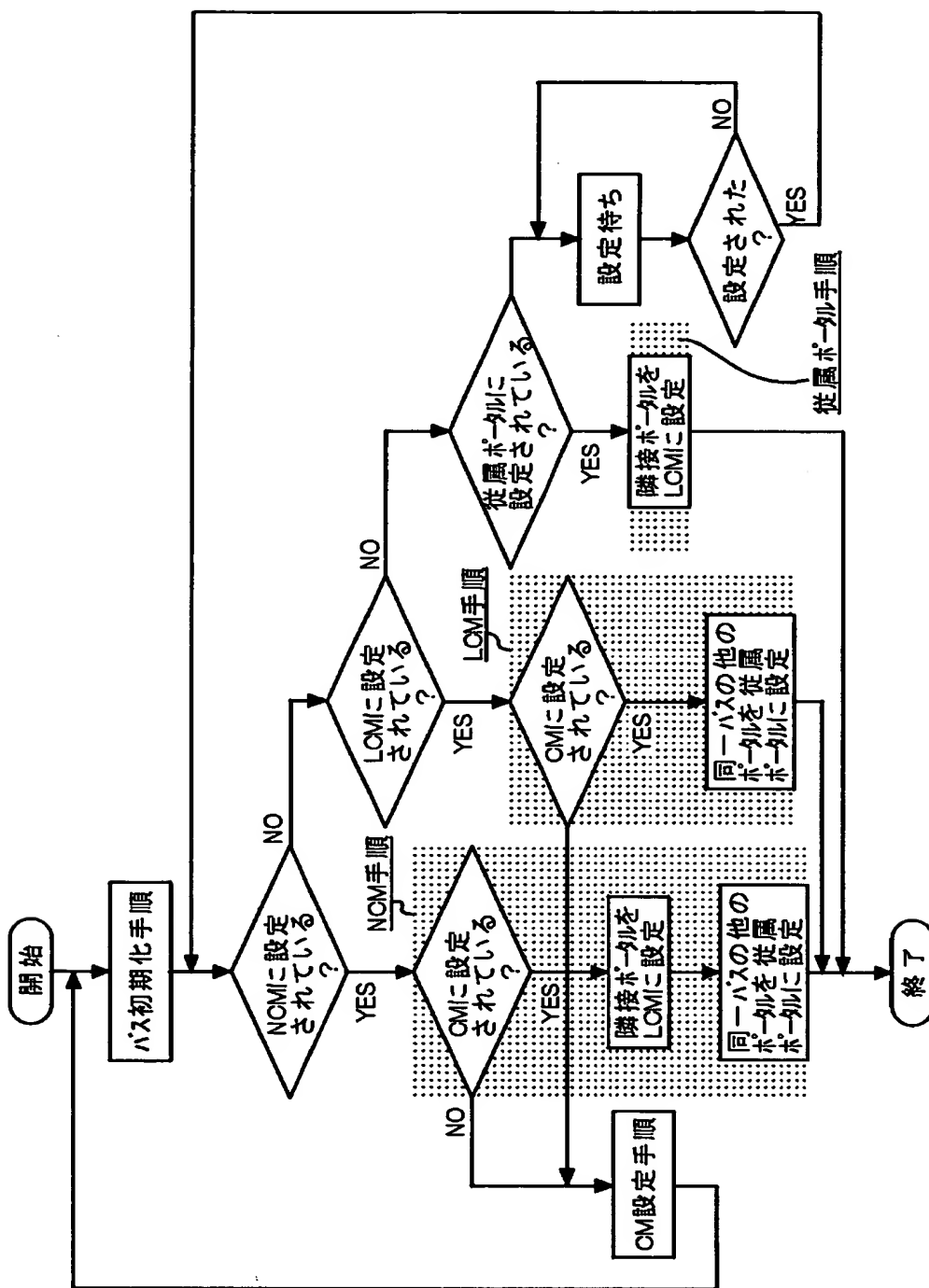
【図 3】



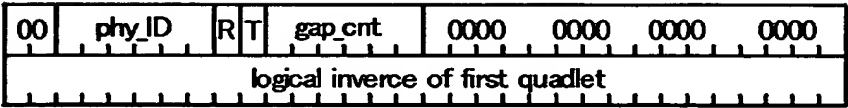
【図 4】



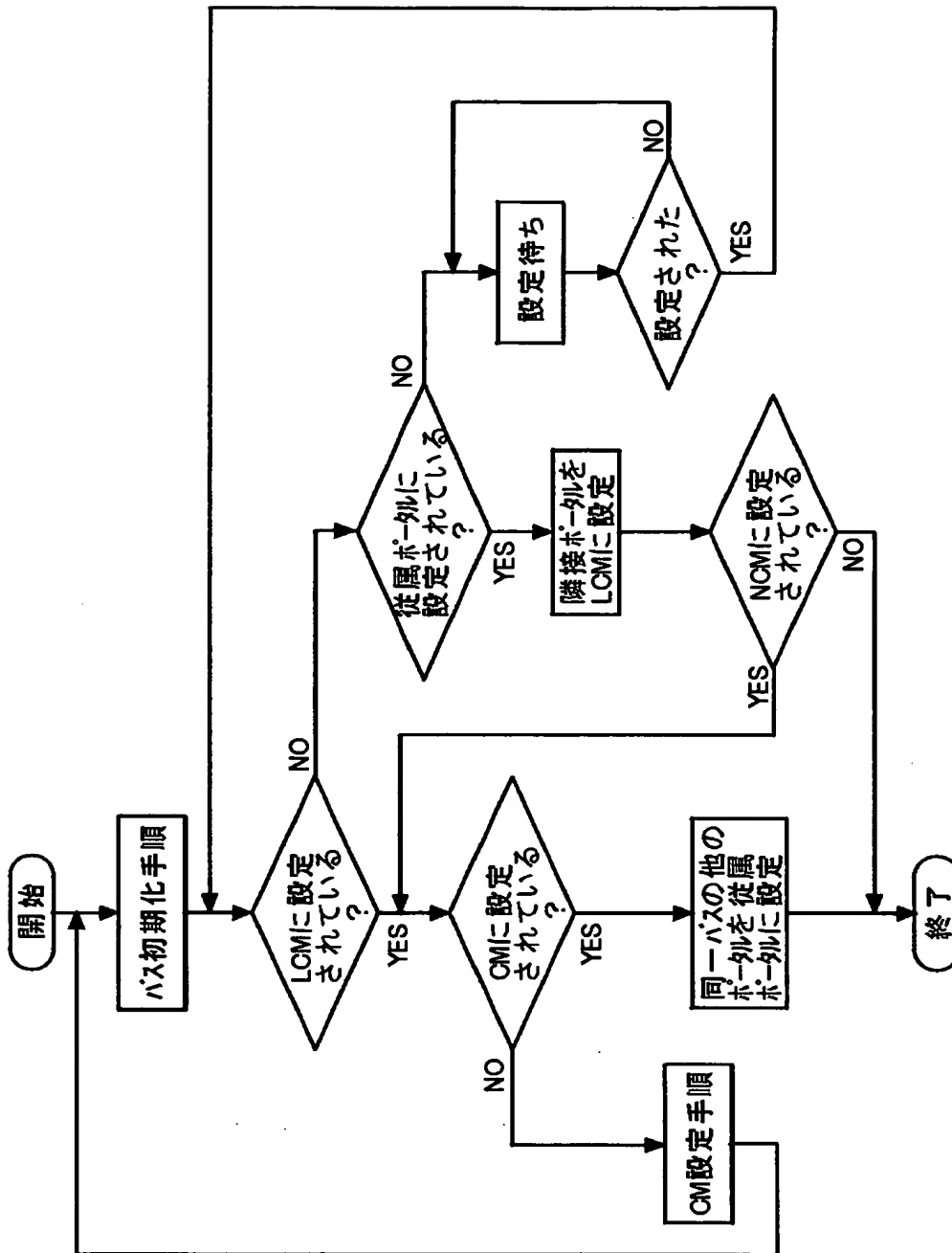
【図 5】



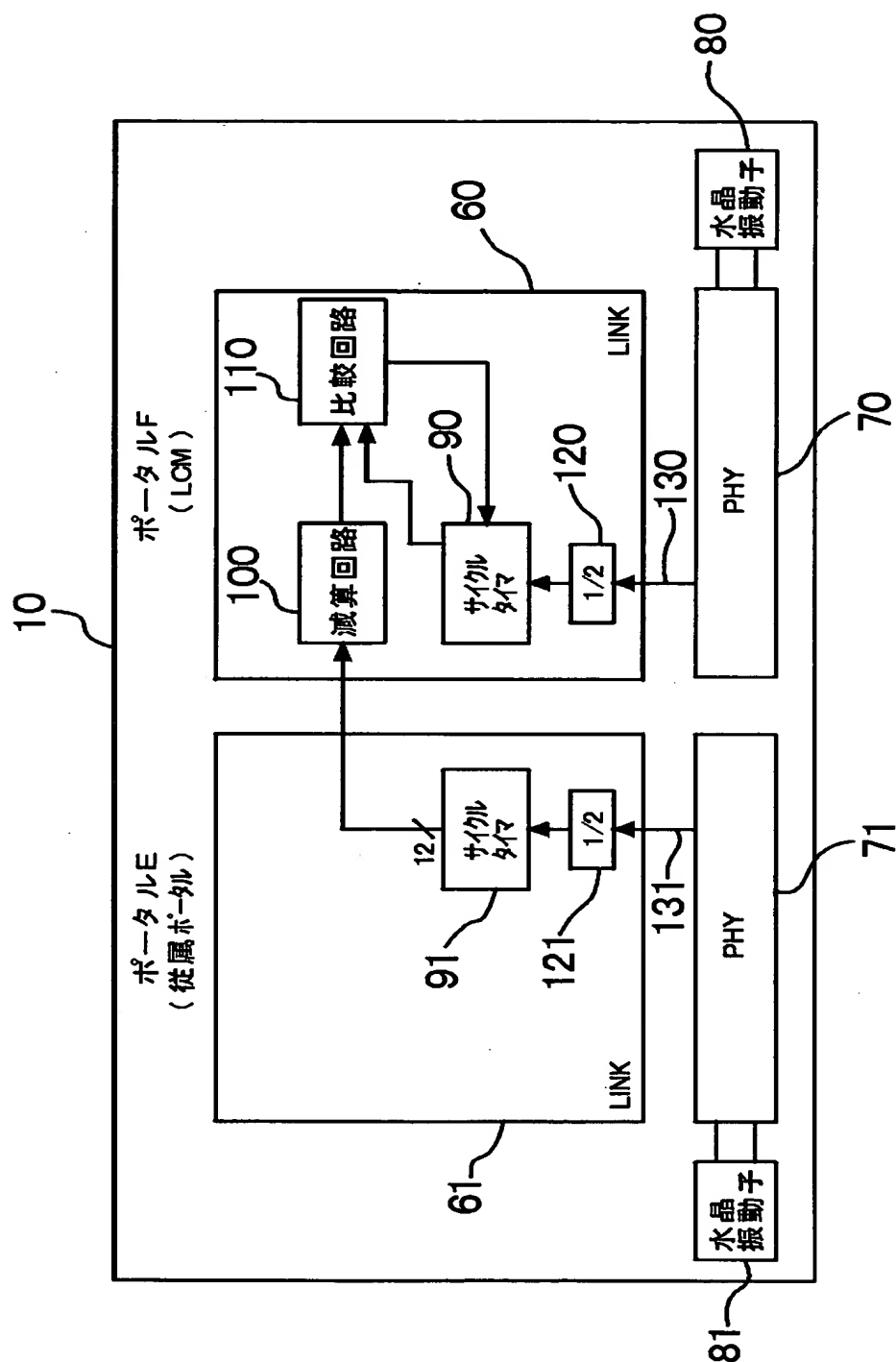
【図 6】



【図 7】



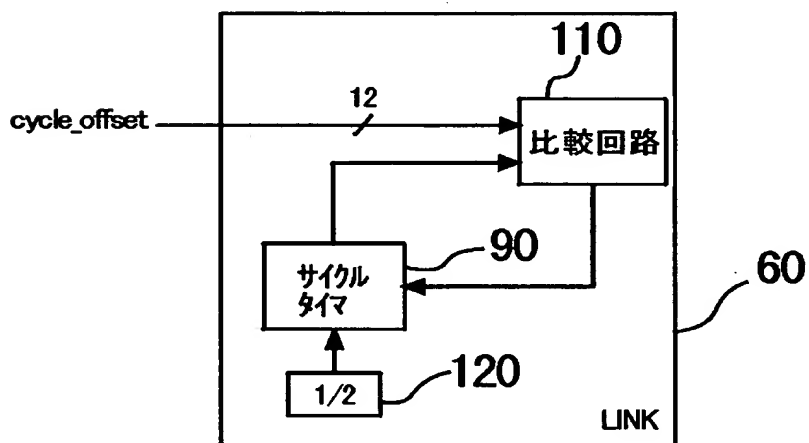
【図 8】



【図 9】

減算回路 1 0 0 からの入力	比較回路 1 1 0 の出力
0 より大	$01_2$ (fast)
0	$00_2$ (stay)
0 より小	$10_2$ (slow)

【図 1 0】

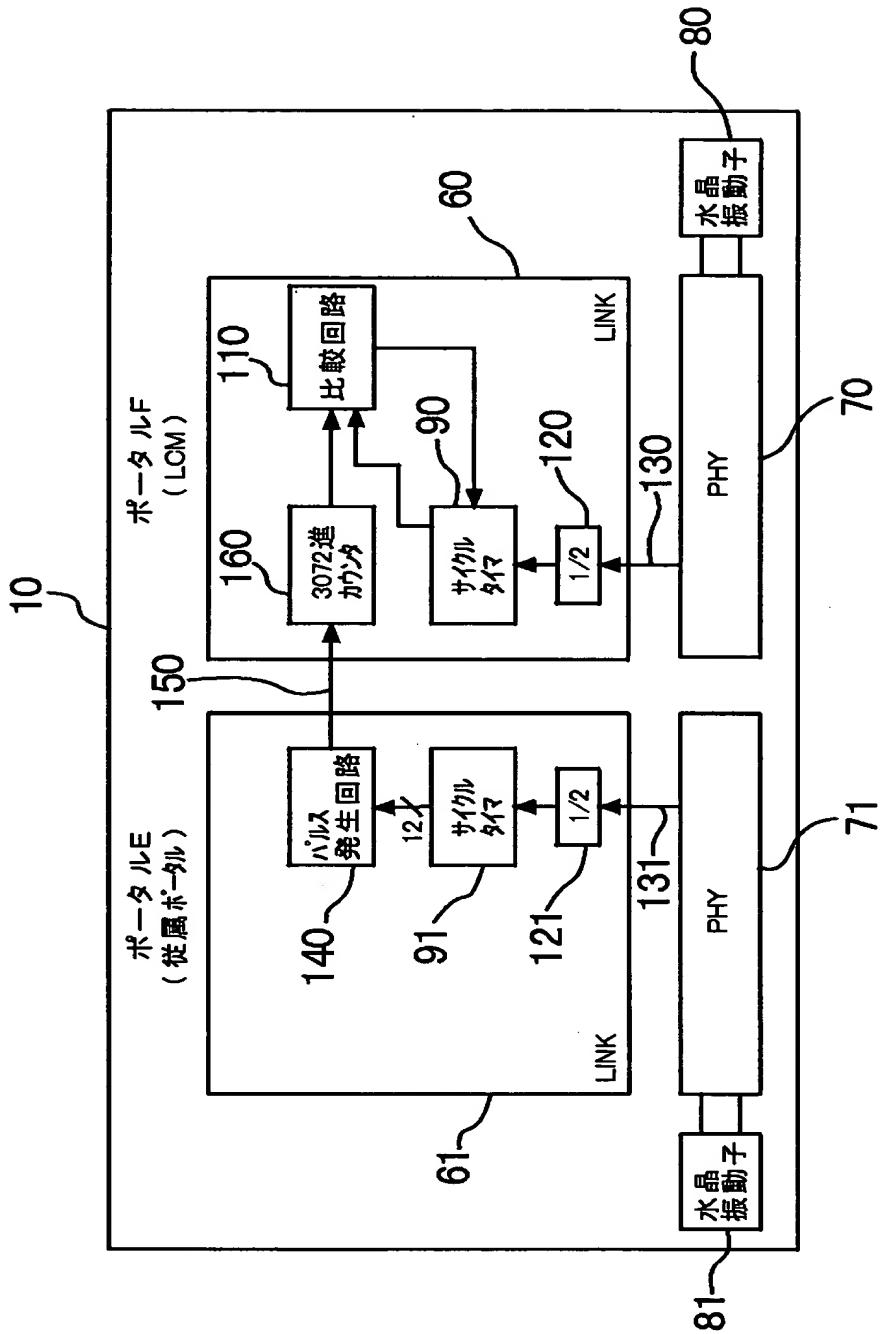


【図 1 1】

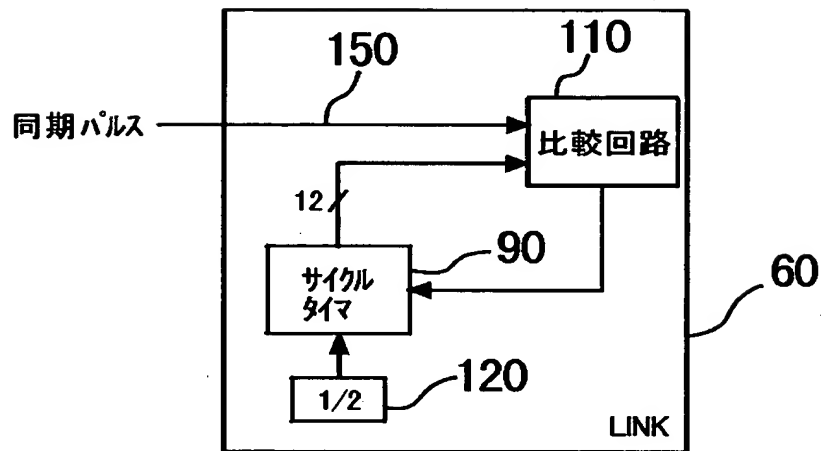
入力される cycle_offset	比較回路 1 1 0 の出力
0 より大、かつ 1 5 3 6 未満	$01_2$ (fast)
0	$00_2$ (stay)
1 5 3 6 以上	$10_2$ (slow)



【図 1 2】



【図 1 3】



**【書類名】 要約書****【要約】**

**【課題】** ブリッジにより複数の I E E E 1 3 9 4 シリアルバスが接続されて構成される I E E E 1 3 9 4 ネットワークにおいて、既存の 1 3 9 4 機器がバスに接続されていても動作し、かつバスの帯域資源を消費しないバス間同期方法を提供する。

**【解決手段】** ネットワーク全体の基準クロック源であるネットサイクルマスタとして、任意の一つのポータルが選出される。ネットサイクルマスタが接続されていないバスでは、ネットサイクルマスタへのノードのホップ数が最も少ないポータルが、ローカルサイクルマスタとして選出される。選出されなかったポータルは全て従属ポータルに設定される。ネットサイクルマスタ及び従属ポータルは、同一ブリッジ内の他のポータルに対して同期信号を送信する。ローカルサイクルマスタは、同一ブリッジ内のネットサイクルマスタ又は従属ポータルが送信する同期信号を受信して、自身のサイクル周波数を同期信号送信ポータルのサイクル周波数に同期させる制御を行う。ネットサイクルマスタ及びローカルサイクルマスタは、自身が接続されるバスにおいてサイクルマスタとして動作する。

**【選択図】 図 4**

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日  
[変更理由] 新規登録  
住 所 東京都港区芝五丁目7番1号  
氏 名 日本電気株式会社